

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent number: JP2002033457 (A)

Publication date: 2002-01-31

Inventor(s): HIROSE KENJI; AJIOKA TOMOKI; HOSHI SATOSHI +

Applicant(s): HITACHI LTD +

Classification:

- international: G06F1/10; G06F15/76; G11C11/401; G11C11/407; G11C11/41; G11C11/413; H01L2/102; H01L2/182; H01L27/04; G06F1/10; G06F15/76; G11C11/401; G11C11/407; G11C11/41; G11C11/413; H01L2/170; H01L27/04; (IPC1-7); G06F1/10; G06F15/76; G11C11/401; G11C11/407; G11C11/41; G11C11/413; H01L2/182; H01L2/182; H01L27/04

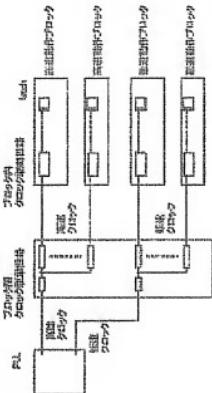
- european:

Application number: JP20000217943 20000718

Priority number(s): JP20000217943 20000718

Abstract of JP 2002033457 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device in which transmission of clock is quickened while reducing skew between the clocks. **SOLUTION:** In a semiconductor integrated circuit device comprising a logic block including a logic circuit operating by receiving a clock formed at a clock supply circuit, high speed transmission of clock is realized by providing at least two wiring routes extended in parallel as clock wiring routes to the clock supply circuit and the logic block and transmitting the same clock, providing the clock supply circuit with clock drive circuits independent for the clock wiring, and providing the logic block with clock input circuits independent of the clock wiring.

Data supplied from the **espacenet** database — Worldwide

(19)日本特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-33457

(P2002-33457A)

(43)公開日 平成14年1月31日 (2002.1.31)

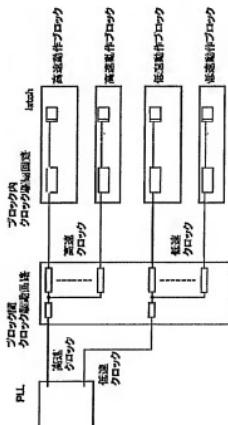
(51) Int.Cl. ⁷	識別記号	F I	デコード(参考)
H 01 L 27/04 21/822		C 06 F 15/78	5 1 O P 5 B 0 1 5
G 06 F 1/10 15/78	5 1 0	H 01 L 27/04	D 5 B 0 2 4
G 11 C 11/43		G 06 F 1/04	3 3 0 A 5 B 0 6 2
		G 11 C 11/34	J 5 B 0 7 9
			3 4 5 5 F 0 3 8
			最終頁に続く
(21)出願番号	特願2000-217943(P2000-217943)	(71)出願人	00000G108
(22)出願日	平成12年7月18日 (2000.7.18)	株式会社日立製作所 東京都千代田区神田淡河台四丁目6番地	
		(72)発明者	廣瀬 健志 東京都小平市上木町五丁目20番1号 株式会社日立製作所半導体グループ内
		(73)発明者	味岡 寛己 東京都小平市上木町五丁目20番1号 株式会社日立製作所半導体グループ内
		(74)代理人	100081938 弁理士 篠若 光政
			最終頁に続く

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 クロック伝達の高速化及びクロック間のスキューを低減した半導体集積回路装置を提供する。

【解決手段】 クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設けることにより、クロックの高速伝達を実現する。



【特許請求の範囲】

【請求項1】 クロック供給回路と、
上記クロック供給回路から供給されるクロックを受けて動作する論理回路を含む論理ブロックと、
上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを備え、
上記クロック供給回路は、上記クロック配線に対してそれぞれ独立したクロック駆動回路を持ち、
上記論理ブロックは、上記クロック配線に対してそれぞれ独立したクロック入力回路を持つことを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、

上記論理ブロックは、複数の機能ブロックから構成され、
上記クロック供給回路は、上記複数の機能ブロックに対して共通に用いられ、
上記少なくとも2つの配線経路は、上記複数の機能ブロックのうち半導体基板上に隣接して配置される少なくとも2つの機能ブロックに対して並行して延長される部分を備えるものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、

上記少なくとも2つの配線経路は、クロックの伝達経路の配線長さの差が小さくなるようにいずれか1つ以上に迂回経路が特にせられてなることを特徴とする半導体集積回路装置。

【請求項4】 請求項1において、

上記論理ブロックは、複数の機能ブロックから構成され、
上記複数の機能ブロックは、それぞれが所望の信号処理能力を持つようにされるものであり、
上記クロック供給回路は、上記複数の機能ブロックのそれぞれに対して並行に延長される少なくとも2つの配線経路を備えるものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項1において、

上記クロック供給回路は、第1クロックと、上記第1クロックに対して周波数が $1/N$ に分周された第2クロックとを供給するものであり、
上記論理ブロックは、上記第1クロックを受けて動作する第1論理回路を含む複数の第1論理ブロックと、上記第2クロックを受けて動作する第2論理回路を含む複数の第2論理ブロックと、
上記クロック供給回路から上記複数の第1論理ブロックに至るまでの第1クロック配線経路として、並行に延長される部分を含む少なくとも2つの配線経路と、
上記クロック供給回路から上記第2論理ブロックに至るまでの第2クロック配線経路として、並行に延長される部分を含む少なくとも2つの配線経路とを備えてなるこ

とを特徴とする半導体集積回路装置。

【請求項6】 請求項4において、

上記クロック供給回路は、第1クロックと、上記第1クロックに対して周波数が $1/N$ に分周された第2クロックとを供給するものあり、
上記複数の機能ブロックは、上記第1クロックを受けて動作する第1論理回路を含む第1機能ブロックと、上記第2クロックを受けて動作する第2論理回路を含む第2機能ブロックとを供給するものあり、
上記複数の機能ブロックは、上記第1クロックを受けて動作する第1論理回路を含む第1機能ブロックと、上記第2クロックを受けて動作する第2論理回路を含む第2機能ブロックとを供給するものあり、
上記複数の機能ブロックは、上記第1及び第2配線に対しても第3と第4配線を並行して延長し、
上記第1配線に隣接した第3配線には上記第1クロックを伝え、
上記第2配線に隣接した第4配線には上記第2クロックを伝えてなることを特徴とする半導体集積回路装置。

【請求項7】 請求項5又は6において、

上記第1クロックを伝える第1配線と上記第2クロックを伝える第2配線とが並行して延長することにも、
上記第1クロックの第1配線と第2配線の間には、上記第1及び第2配線に対して第3と第4配線を並行して延長し、
上記第1配線に隣接した第3配線には上記第1クロックを伝え、
上記第2配線に隣接した第4配線には上記第2クロックを伝えてなることを特徴とする半導体集積回路装置。

【請求項8】 請求項2ないし7のいずれか1において、
上記機能ブロックは、1つの半導体基板上に形成される1チップのマイクロコンピュータシステムを構成し、それぞれが独立して動作可能とされる信号処理回路であることを特徴とする半導体集積回路装置。

【請求項9】 請求項1ないし7のいずれか1において、

上記論理ブロックは、ゲートアレイで構成された一定のエリヤに配置された論理ゲート群からなり、上記クロック供給回路は、半導体基板の中心部に設けられて、各論理ゲート群との間のクロック供給経路が互いに等長となるようにされることを特徴とする半導体集積回路装置。
【請求項10】 請求項1ないし7のいずれか1において、

上記論理ブロックは、複数ビットの単位で読み出し信号をクロックに対応して増幅する増幅回路を有するメモリ回路であり、
上記クロック供給回路は、メモリ回路の増幅回路の動作に必要なクロック信号を供給するものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に関し、クロックで動作する論理回路を含む半導体集積回路装置の高速化に利用して有効な技術に関するものである。

【0002】

【従来の技術】本発明を成した後の調査によって、後で説明する本発明に関連すると思われるものとして、特開

平8-306867号公報(以下、先行技術1といふ)、特開平4-73951号公報(以下、先行技術2といふ)があることが判明した。先行技術1には半導体基板上の信号配線の両端にダミー配線を設けて同相の信号を入力するものが、先行技術2には信号用配線に平行して該信号用配線にバッファ回路を介して接続した電位的に同相のダミー配線を有するものが開示されている。しかしながら、これらの公報には、いずれにおいても後に説明するような本願発明に係る複数論理機能ブロック等に向けたクロックの高速伝達についての記述は何んども開示されていない。

【0003】

【発明が解決しようとする課題】1つの信号を複数の回路に供給する場合、1つの信号経路がそれぞれの回路に対応して分岐するよう形成される。これにより、信号配線数及び信号出力回路を少なくて済むことができる。大規模なデジタル集積回路においては、同じクロックを複数の論理機能ブロックに供給することが多い。前記先行技術1、2では、いずれも1の信号経路しか示記されていない。したがって、上記のように複数の論理機能ブロックにクロックを供給する場合は、クロック供給回路から最も近い位置に配置された論理機能ブロックまでについて1つの信号経路となるため、前記のようなダミー配線による高速化は実現できず。

【0004】しかしながら、そこから先の分岐して個々の機能ブロックに至るまでの信号経路については、前記先行技術1及び2ではどのように上記ダミー配線をどのように設けるのか記載がされていない。つまり、先行技術1及び2では、上記のように複数の論理機能ブロックにクロックを供給する場合において、クロック供給回路から最も近い位置に配置された論理機能ブロックまでについて適用可能となるものである。そして、分岐を設けて複数の論理ブロックにクロックを供給する構成においては、各分岐部での信号の反射が生じたり、そこでインピーダンスが予測困難となり、個々の論理ブロックに供給されるクロックの遅延(スキー)の管理が極めて難しくなるものである。

【0005】1チップのマイクロコンピュータ等の大規模デジタル集積回路において、機能ブロックは、C.P.U.、メモリ、D.S.P.、あるいはタイマ等のように各々の機能ブロックが比較的大きな回路規模を持って構成される。それ故、クロック供給回路からみたとき、クロック供給回路から最も近い位置に配置された論理機能ブロックまでの距離は、かかる複数機能ブロックを巡るクロック伝送経路の全体に比べて圧倒的に短く、前記ダミー配線を用いた信号伝達の高速化が生かされない。また、仮にクロック供給回路と最も近い位置に配置された機能ブロックとの距離が比較的長くてダミー配線を用いた信号伝達の高速化が可能であったとしても、分岐から先の信号経路について、その配線長さが機能ブロック相互で異

なることによるクロックの遅延時間の相違によるスキーの発生については何等解決できないという問題を有する。

【0006】この発明の目的は、クロック伝達の高速化を実現した半導体集積回路装置を提供することにある。この発明の他の目的は、クロック伝達の高速化及びクロック間のスキーを低減した半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規性たる點は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路を設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設ける。

【0008】

【発明の実施の形態】図1には、この発明に係る半導体集積回路装置におけるクロック系回路の一実施例のプロック図が示されている。この実施例では、特に制限されないが、P.L.I.(位相・ロックド・ループ)回路によつて外部クロックと同期した内部クロックが形成される。P.L.I.回路では、図示しない外部から供給されたクロック信号に同期し、高い周波数にされた高速クロックと、上記高速クロックに比べて低い周波数にされた低速クロックとを形成する。

【0009】上記P.L.I.回路で形成された高速クロックと低速クロックは、クロック駆動回路を介して各機能ブロックあるいは一定のエリアに割り当てられた回路ブロックに供給される。この実施例では、このようなクロック供給回路と、それにより形成されたクロックを受けて動作する機能ブロックあるいは回路ブロックとの間に設けられるクロック供給経路に、同時に同じ方向に信号が変化すると、配線系での遅延時間が小さくなるという特性を利用する。つまり、同時に同じ方向に変化する信号は、レイアウト上で隣り合うよう配線する。そして、クロックは、同じ種類のものを隣り合せて配線する。

【0010】具体的には、高速クロックを受けて動作する複数の機能ブロックあるいは一定のエリアに設けられた回路ブロックに対するクロックは、従来のように1つのクロック駆動回路から供給されたクロック信号を、物理的に1つの配線により個々の機能ブロックや回路ブロックの配置に合わせて分岐せざながら伝えるようにするものではなく、クロック供給源であるクロック駆動回路

から、それぞれの機能ブロック又は回路ブロックに向いて独立して最低1本の配線を割り当てるようとするものである。

【0011】上記機能ブロックあるいは上記回路ブロックでは、上記のようを独立して設けられた配線を通して伝えられたクロックを受けるブロック内クロック駆動回路を有し、かかるブロック内クロック駆動回路により、クロックを必要とするラッチ(latch)に伝えられる。このようなブロック内クロック駆動回路とそれを受けるラッチとの間では、その配線長さが比較的短くされることから極端に負荷が無い場合には、負荷であるラッチ等を複数に分割して複数の駆動回路を割り当てるようにし、個々の駆動回路とラッチとの間では分岐を持つような配線により相互に接続される。

【0012】このように各機能ブロックあるいは回路ブロックに対して最低1本の配線によりクロックを独立して供給する構成において、同時に同じ方向に変化する高速クロックは低速クロックは、各々においてレイアウト上で開き合うよう配線する。そして、同じ種類の高速クロック又は低速クロックを開き合せて配線する。

【0013】この構成に代えて、図1のクロック駆動回路と上記機能ブロック又は回路ブロックに対応したブロック内のクロック駆動回路との間を複数の配線及び回路により構成してもよい。この場合には、クロック供給回路とそれにより形成されたクロックを受ける機能ブロック又は回路ブロックの間のクロックは、常に同一のクロックとなり、クロック供給回路の出力部から機能ブロック又は回路ブロックの入力部に至るまでの全経路で同時に同じ方向に変化するクロックを開き合うよう並行して配置させられた配線により伝達することができる。

【0014】図2には、この発明に係る半導体集積回路装置におけるクロック系回路の一実施例の配線配置図が示されている。この実施例では、高速クロックと低速クロックを割り合わせて配置する場合に向けられてる。このように、高速クロックと低速クロックとを並走して供給される場合、互いに他のクロックを伝える配線の信号変化的影響をなくすため、同時に同じ方向に変化するダミー配線を隣り合うよう配線する。つまり、高速クロックのうち、低速クロック間に隣接して設けられるクロック配線と、低速クロックのうち、高速クロック間に隣接して設けられるクロック配線との間には、それぞれシールドクロック配線を設けて、相互の干渉によるクロック伝送の遮断を防止する。

【0015】また、同じ種類である高速クロックの複数がグループ化されて、同じ方向に並行して延長される場合、他の信号線等に隣接する端部にクロック配線は、他の信号線との間のスペース拡大を図るようにする。このような十分なスペースが確保できないときには、低速クロック間に隣接して設けられるクロック配線と同様に、シールドクロック配線を設けるようにしてよい。上記

のような構成により、配線間容量の影響を均一にし、かつ、配線延滞を小さくすることでチップ面積へ増加なしに配線延滞を小さく(スキュー)を小さくすることができる。

【0016】以上のように、この発明に係るクロック供給系回路では、論理的に同一周波数、位相であるクロックを割り合わせて配線する、異なる周波数、位相で動作するクロックが複数ある場合、周波数／位相の同じクロックが割り合うようにグループ化して配線する。そして、後述するようなゲートアレイ等のような半導体集積回路装置では、クロック分配系はツリーフォード構造とし、分配系の各ステージで(特に延滞量の大きいブロック間)の配線負荷を抑えるようにする。また、配線の長さ、を使用するメタル層を統一する。他の配線のクロック線への影響を小さくするため、同じタイミングで変化するダミー配線が隣り合うようレイアウトする。あるいは、グループ化したクロック配線と他の配線のスペースを広げる。

【0017】図3には、この発明に係る半導体集積回路装置の一実施例のブロック図が示されている。この実施例は、特に制限されないが、シングルチップマイクロコンピュータに向けられている。この実施例では、機能ブロック2aないし2cのように高速動作回路ブロックと、機能ブロック4aないし4dのように低速動作回路ブロックと、これらに供給するクロックを生成するクロックパルスジェネレータ(CPG)5及びブロック間クロック駆動回路群6が1つの半導体チップ1に形成される。チップの周辺部には、入出力回路が設けられる。

【0018】上記高速動作回路ブロックは、CPU(中央処理装置)、DSP(デジタル信号処理プロセッサー)、メモリ等が含まれる。上記低速動作回路ブロックは、タイマやシリアル入出力回路、DA(デジタル／アナログ変換)等が含まれる。これらの機能ブロックの各々には、機能ブロック4bに代表として示されているようにブロック内クロック駆動回路7が設けられる。CPG5は、高速クロック信号8aと低速クロック信号8bとを形成する。ブロック間クロック駆動回路群は、上記クロック信号8aと8bとを受けて、個々の機能ブロックに一对一対応に設けられるクロック配線に伝えられるクロックを形成する。つまり、上記クロック駆動回路6の1つと、機能ブロック2aないし2c又は4aないし4dのいずれ1つに設けられるブロック内クロック駆動回路7との間には、分岐のない1本の配線により形成される。

【0019】上記ブロック間の配線が1本であるとき、クロック駆動回路から各機能ブロックに向かうクロック配線のうち、同じ種類(高速クロック8a又は低速クロック8b)同士を記号9で示したようにグループ化して、隣り合わせて並行するように配線する。また、機能ブロック2c又は機能ブロック4cに設けられるクロック配線のように、意図的に迂回路を設けて、その配線

長さを長くして他の機能ブロック2b又は4d等と同じ配線長さとする。これにより、配線長さの相違による機能ブロック2cと2b又は4cと4dとの間でのクロックのスキーを低減させることができる。このような迂回経路を含めてクロックのスキーを管理することが容易となる。

【0020】図3の実施例において、上記クロック駆動回路6の1つと、機能ブロック2aないし2c又は4aないし4dのいずれ1つに設けられるブロック内クロック駆動回路7との間は、分岐のない1本の配線にて2本以上にするものであってもよい。つまり、同じ機能ブロックにおいて、ブロック内クロック駆動回路を複数設け、かかるブロック内クロック駆動回路の各々に対応して、1本ずつ配線を割り当てて、それを半導体チップ上に互いに隣接して並行に延長させるようにものであってもよい。このような構成では、クロック供給側であるブロック間クロック駆動回路6も、上記配線数に対応して複数が設けられる。この構成では、クロック供給側であるブロック間クロック駆動回路と、ブロック内クロック駆動回路との間ににおいて、クロック配線の複数が並行に配置されることにより高速なクロック伝達が可能になる。

【0021】図4には、この発明に係る半導体集積回路装置の他の実施例のブロック図が示されている。この実施例は、特に制限されないが、ゲートアレイに向けられている。この実施例では、クロック入力pin12から供給されたクロックは、チップ中央部に設けられたマスククロックドライバ群13に伝えられる。このとき、特に制限されないが、1つのクロックを最低2本の配線を用い、それを剛接して並行するように延長させてクロック入力pin12から上記マスククロックドライバ群13の入力部とを接続するものとしてもよい。

【0022】上記マスククロックドライバ群13は、サブクロックドライバ群14に対応したクロック駆動回路を有し、それとの間を一対一に対応されたクロック配線により接続される。つまり、マスククロックドライバ群13の1つのクロック駆動回路の出力端子に接続されたクロック配線は、分岐なくそれに対応された1つのサブクロックドライバ群14の入力部に至るよう形成される。上記マスククロックドライバ群13と上記サブクロックドライバ群14との間の配線長さが互いに等しくなるようにチップ中央寄りに設けられたサブクロックドライバ群14に対しては意図的に迂回経路が設けられる。

【0023】これにより、チップ中央部に設けられたマスククロックドライバ群13から点線で示した基盤目状に区切られた回路ブロックの境界に沿って延長されるクロック配線長が、いずれのサブクロックドライバ群14についても互いに等しくなるようになる。このようなクロック配線の配置により、クロック信号配線が記号1

5に示したようにグループ化される。これにより、前記のように論理的に同一周波数、位相であるクロックを繋り合わせて配線することができる。

【0024】サブクロックドライバ14は、それを中心とする4つの回路ブロックに供給されるクロックを受け持つ。このサブクロックドライバ14とフリップフロップ回路FFとの間は、負荷が互いに等しくなるように適宜にグループ化され、同一グループ回路でクロック配線を分岐させて配置させる。つまり、このようなサブクロックドライバ14と、フリップフロップ回路FFとの間の物理的な距離が短いから上記のような分岐を用いてクロック配線を構成しても、速度的にはほど問題にならないし、フリップフロップ回路FFの配置は、論理機能に応じて様々なのでクロック配線のグループ化が難しい。ただし、必要ならサブクロックドライバ14とフリップフロップ回路FFとの間も一対一に対応してクロック配線を設けるようにしてよい。

【0025】上記クロック入力pin12とマスククロックドライバ群13の間のクロック配線は、そのクロック配線の両側に前記シールドクロック配線及びそれに対応したクロック駆動回路を設けるものであってもよい。また、マスククロックドライバ群13から左右に延びに2つの回路ブロック間ににおいては、同様の側には8個のサブクロックドライバ群14に対応した8本のクロック配線が並行に延長される。そこで、この間での高速化を図るために前記同様に両側に前記シールドクロック配線及びそれに対応したクロック駆動回路を設けるようにしてよい。

【0026】図5には、この発明に係る半導体集積回路装置に設けられるクロックパルスジェネレータの一実施例のブロック図が示されている。この実施例では、クロック発振器端子と外部クロック入力端子を持ち、水晶直付けか外部クロック入力への選択が可能となる。つまり、上記発振器端子に水晶を接続して水晶発振器を構成した場合には、かかる水晶発振器によりクロックを生成することができる。これに代えて、外部クロック入力端子から供給されたクロックを用いるようにすることができます。

【0027】上記水晶発振器又は外部クロック入力端子から供給されたパルスは、PLL回路2に伝えられて、ここで×1又は×4のような周波数倍増動作が行われる。周波数制御システムとクロック周波数制御回路は、上記×1又は×4のいずれかの指定を行るために用いられる。上記PLL回路2により水晶/外部クロック入力を波形整形と必要に応じて倍増が行われたクロックは、一方においてシステムクロツクとしLS1外部に出力する。このとき、CPG選択正回路及びクロック分配系等価回路等からなるレプリカ回路による選択正回路が設けられて、内部回路のフリップフロップ回路にFFに伝えられるクロックと、システムクロック端子からし

S I 外部に出力されるクロックとの位相合わせが行われる。

【0028】つまり、システムクロックの遅延を捕えるため、C P G内に遅延補正回路が設けられてC P G→F F間クロック分配系の遅延時間と補正する。C P G内遅延補正回路は、P L L回路2出力→L S I 内部用クロック出力端子→P L L回路2出力→システムクロック出力端子の遅延差を補正する。クロック分配系等価回路は、C P G出力からF Fまでの遅延を補正する。これらの回路はL S I 内のクロック分配系と同じ回路、レイアウト構造とし配線をグループ化する処理、ダミー信号でシールドする処理も同じとされる。

【0029】上記P L L回路2により水晶/外部クロック入力を波形変形と必要に応じて遅延が行われたクロックは、他方においてL S I 内部のフリップフロップFF用のクロックを生成するためP L L回路1に伝えられる。P L L回路1ではクロックの周波数を遅延させる。この遅延率は、例えば×1、×2、×3、×4、×6、×8のように6通りが用意されており、前記周波数制御レジスタとクロック周波数制御回路で選択される。

【0030】上記P L L回路1で形成されたクロックは、高速運用と低運用に対応した2つの分周回路1と分周回路2に伝えられる。分周回路1と2は、特に制限されないが、それぞれが×1、×1/2、×1/3、×1/4、×1/6のような分周率の切り替えが可能とされ、前記周波数制御レジスタとクロック周波数制御回路で選択される。上記のP L L回路2、P L L回路1及び分周回路1、分周回路2のそれぞれの遅延率及び分周率の組み合わせにより、必要とされた高速クロック及び低速クロックを発生させることができる。

【0031】このように形成された高速クロック及び低速クロックは、前記図1の実施例のように高速クロックは、高速クロックドライバH C D 1～H C D mを介してクロック分配回路に伝えられ、低速クロックは低速クロックドライバL C D 1～L C D nを介してクロック分配回路に伝えられる。

【0032】図6には、この発明に係るクロック駆動回路の一実施例の回路図が示されている。この実施例では、クロック供給側から半導体チップの上部と下部に延長されるクロックがグループ化されて設けられる。これらのクロックを駆動するクロック駆動回路の入力信号の共通化がなされる。シールド用ダミー信号を駆動する駆動回路の入力信号も共通化がなされる。特に制限されないが、他の回路の信号線の影響を回避するために、グループ化されたクロック配線の両側には、シールド用バッファ及びシールド用クロック配線が設けられる。この構成は、前記図4の実施例にそのまま適用することができる。

【0033】図7には、この発明が適用されるシングルチップマイクロコンピュータの一実施例のブロック図が

示されている。同図の各回路ブロックは、公知のC M O S(相補型MOS)半導体集積回路の製造技術によって、単結晶シリコンのような1個の基板において形成される。

【0034】この実施例におけるシングルチップマイクロコンピュータは、特に制限されないが、R I S C (Reduced instruction set computer)タイプの中央処理装置C P Uにより、高性能な演算処理を実現し、システム構成に必要な周辺機器を集積すると同時に、排熱機器応用等に不可欠な低消費電力化を実現したシングルチップマイクロコンピュータである。

【0035】中央処理装置C P Uは、R I S Cタイプの命令セットを持っており、基本命令はバイナリ処理を行って1命令1ステート(1システムクロックサイクル)で動作するので、命令実行速度が理論的に向上させることができる。そして、乘算器M U L Tを内蔵しており、3次元演算処理等に不可欠な積和演算処理を高速に行うようしている。

【0036】最少部品点数によりユーザーシステムを構成できるように内蔵周辺モジュールとして、割り込みコントローラI N T C、直接メモリアクセス制御装置D M A C、除算器D I V U、タイマF R T、W D T、シリアルコミュニケーションインターフェイスS C Iを内蔵している。さらに、キャッシュメモリ内蔵の外部メモリアクセスサポート機能により、グローロジックなしでダイナミック型RAM(ランチング・アクセス・メモリ)、シンクロナスダイナミック型RAM、擬似S T A Y I C K型RAMの外部メモリと直接接続できるようにしている。

【0037】上記のような高速な中央処理装置C P Uを中心とし、その性能を十分に発揮し、しかも低消費電力化を図りつつ、高性能、高機能又は多機能のために設けられた周辺モジュールを効率よく動作させるようとするため、内部バスは3つに分けられている。

【0038】第1のバスは、アドレスバスA B 1とデータバスD B 1から構成され、中央処理装置C P U、乗算器(積和演算器)M U L T及びキャッシュメモリが接続される。上記乗算器M U L Tは、上記第1のバスのうちデータバスD B 1にのみ接続され、中央処理装置C P Uと一緒に動作して乗算と加算を行うようになる。それ故、第1バス(A B 1、D B 1)は、主に中央処理装置C P Uとキャッシュメモリとの間でのデータ転送に利用されるからキャッシュアドレスバスとキャッシュデータバスと呼ぶことができる。キャッシュメモリは、タグメモリT A GとデータメモリC D M及びキャッシュコントローラC A Cから構成される。

【0039】中央処理装置C P Uの構成は次の通りである。内部は32ビット構成とされる。汎用レジスタマシンは、16本からなる32ビットの汎用レジスターと、3本からなる32ビットのコントロールレジスター

と、4本からなる32ビットのシステムレジスタから構成される。RISCタイプの命令セットは、16ビット固定長命令によりコード効率化を図っている。無条件／条件分岐命令を遅延分岐方式とすることにより、分岐時のバイブルインの乱れを軽減している。命令実行は、1命令／1ステートとされる。

【0040】中央処理装置CPUの性能は動作周波数と、1命令実行あたりのクロック数(CPI : Cycles Per Instruction)で決まる。このうち動作周波数は、ゲーム機に組み込んだ際にテレビ用のビデオ信号処理系とクロックを共有するため、例えば28.7MHzに設定することが便利である。ちなみに、NTSC方式のカラー・テレビで画像データをノンインターレース表示する場合には通常、ビデオ信号回路に色副波送波(カラー・サブキャリヤ)周波数(約3.58MHzの8倍のクロック(28.6MHz))を使用している。

【0041】この実施例では、キッシュメモリ(TAG, CAC, CDM)及び乘算器MULTしか接続されない第1バス(AB1とDB1)に中央処理装置CPUを接続するものであるので、バスの負荷容量が大幅に低減でき、上記のような高速動作を行う中央処理装置CPUのバス駆動回路の簡素化と、低消費電力化を図ることができる。したがって、この第1バスは高速バスということができる。

【0042】第2のバスは、アドレスバスAB2とデータバスDB2から構成され、除算器DIVU、直接メモリアクセス制御装置DMA、外部バスインターフェイスSOBIFが接続される。この第2バスは中速バスといふことができる。上記キッシュメモリでのミスヒットのときに、中央処理装置CPUは、外部メモリをアクセスしてデータを取り込む必要がある。このため、第1のバスのアドレス信号を第2のバスに伝える機能が必要となる。また、上記のように第1と第2のバスを分離すると、プログラムミス等によって直接メモリアクセス制御装置DMAがキッシュメモリのデータメモリCDMの内容を勝手に書き換えてしまうという問題が生じる。

【0043】この実施例では、上記のようなキッシュメモリでのミスヒットやキッシュメモリのデータ破壊といった問題を解決するために、ブレークコントローラUBCが利用される。ブレークコントローラUBCは、本来プログラムデバッグ等に用いられるのであるが、上記第1バス及び第2バスに接続される必要があることを利用し、それにトランシーバ回路を設けて上記キッシュメモリでのミスヒットのときに第1バスのアドレス信号を第2のバスのアドレスバスAB2に伝えて、外部メモリのアクセスを行なうようにするのである。また、第2のバスでのアドレス信号を監視し、直接メモリアクセス制御装置DMAによるデータメモリCDMへ書き換えを監視させる。

【0044】第3のバスは、アドレスバスAB3とデータバスDB3から構成され、特に制限されないが、フリーランニングタイマFRT、シリアルコミュニケーションインターフェイスSCI、ウォッチドッグタイマWDTと動作モードコントローラMCが接続される。

【0045】上記第3のバスは、上記第1や第2のバスに比べてバスサイクルが遅くなる。すなわち、これらの各周辺モジュールは、その動作速度を速くしても実質的な性能や機能が向上するものではないことに着目し、約10MHz程度で動作する既存のシングルチップマイクロコンピュータに搭載されているものを実質的にそのまま利用するものである。このようにすることにより、設計効率の向上を図ることができるとともに、動作周波数が低くされることによって低消費電力化とができる。したがって、この第3バスは低速バスということができる。

【0046】このようにすると中央処理装置CPU等とのデータの授受がそのままできなくなるので、バステートコントローラBSCが設けられる。このバステートコントローラBSCは、第3のバスから第2のバスに信号(データ信号)を転送するときには、そのまま信号の伝達を行う。これは、パレス発生回路CPGにおいて第1や第2のバスサイクルを決定するシステムクロックを分周して第3のバスサイクルに使用するクロックパルスを形成しているので、上記第3のバスの信号をそのまま第2のバスに伝えることができる。これに対して、バステートコントローラBSCは第2のバスの信号を第3のバスに伝えるときに、必要に応じて信号を遅延させて第3のクロックパルスに同期化させて伝達するものである。

【0047】割り込みコントローラINTCの概略は、次の通りである。外部割り込みに関しては、後述するようなNMI、/IRL0～/IRL3からなる5本の外部割り込み端子を持っている。/IRL0～/IRL3端子による15外部割り込みレベル設定が可能にされる。この明細書及び一部の図面において、アルファベットの記号に付した/(スラッシュ)は、ロウレベルがアクティブレベルであるバー信号を表している。なお、図面では従来の記述方法により、バー信号はアルファベットによる信号名又は端子名の上に線が付されている。

【0048】内部割り込み要因は、直接メモリアクセス制御装置により2つ、除算器DIVUにより1つ、フリーランニングタイマFRTにより3つ、ウォッチドッグタイマWDTにより1つ、シリアルコミュニケーションインターフェイスSCIにより4つからなる11要因とされる。内部割り込み要因ごとにペクタ番号設定可能とされる。

【0049】以上のようなバスの分割方式を探ることにより、それぞれのバスの長さが短くされたり、あるいはそれに接続される素子を減らすことができるからバスの

負荷容量が大幅に低減し、中央処理装置CPUの高速化と相俟って低消費電力で高速なデータ処理が可能になる。また、ユーザーブレークコントローラに直接メモリアクセス制御装置をDMAを設けた場合には、上記のようなバスの分離によって直接メモリアクセス制御装置DMAによる誤ったキャッシュデータの書き換えを検出する機能が設けられているので信頼性を損なうことがない。

【0050】さらに、中央処理装置CPUやキャッシュメモリ及び直接メモリアクセス制御装置DMAのように、そのバスサイクルが直ちに性能や機能に影響を及ぼすものは、上記のような高速なバスサイクルのバスに接続し、フリーランニングタイマF.R.T.、シリアルコミュニケーションインターフェイスSCI又はウォッチドッグタイマW.D.T.のように、そのバスサイクルがデータ処理に直接影響を及ぼさないもの、低速のバスサイクルの第3のバスに接続するようにするものである。これにより、中央処理装置CPUの高速化に追従して、高速タイプの周辺回路を開発設計する必要がなく、既存のものをそのまま流用して利用ができるから、設計の効率化を図ることができるとともに、そこでの動作クロックを低くできるので低消費電力化を図ることができる。

【0051】上記のような第1バス(高速バス)、第2バス(中速バス)及び第3バス(低速バス)のような3種類のバスを持つものでは、それぞれのバス(高速バス、中速バス及び低速バス)に接続される機能ブロックに伝えられるクロックの周波数が異なる。そこで、CPUは、上記高速バス、中速バス及び低速バスに対応した機能ブロックに伝えられるクロックは、前記のように論理的に同一周波数、同位相であるクロックを分離して配線する。異なる周波数、位相で動作するクロックが複数ある場合、周波数/位相の同じクロックが隣り合うようにグループ化して配線する。配線の長さ、使用するメタル層を統一する。他の配線のクロック線への影響を小さくすため、同じタイミングで変化するダミー配線が隣り合うようレイアウトする。あるいは、グループ化したクロック配線と他の配線のスペースを広げるようにするものである。

【0052】中速バスや低速バスに対しても、上記高速バスと同じグループ化等の配線を採用することにより、高速クロック、中速クロック及び低速クロック相互を同期化させることができる。言い換えるならば、スキューを小さくすることができます。これにより、高速バスと中速バス又は低速バスとの間、中速バスと低速バスとの間でのデータ授受においてタイミングマージンを小さくすることができる。

【0053】また、機能ブロック毎にクロック信号を供給するものでは、その機能ブロックが何も動作を行わないスタンバイ状態のときにクロックの伝達を停止させる

上で便利である。周知のようにCMOS論理回路では、クロックの供給停止により理論的には消費電流が発生しないから上記クロックの停止により低消費電力化が可能になるものである。

【0054】図8には、この発明が適用されたダイナミック型RAM(以下、単にDRAMという)の一実施例の全体概略レイアウト図が示されている。同図において、ダイナミック型RAMを構成する各回路ブロックのうち、その主要部が判るように示されており、それが公知の半導体集積回路の製造技術により、単結晶シリコンのようないか個の半導体基板上において形成される。

【0055】特に制限されないが、この発明が適用されるDRAMは、それぞれが独立にメモリアクセスされるBANK0ないし3のようないか4つのメモリバンクが設けられる。これらの4つのメモリバンク(BANK0ないし3)は、それぞれが同じ回路構成及びレイアウトにされており、そのうちメモリバンクBANK0において代表として階層とされたI/O構造に関連する部分が例示的に示されている。

【0056】メモリセルアレイ領域(以下、単にメモリセルアレイという)は、前記メモリバンクBANK0ないし3のそれぞれに対応して設けられ、全体として4個に分けられる。つまり、半導体チャップ1の長手方向に対して左右に分けられて、中央部分104には、例示的に示されている制御回路(CNTL)回路106とデータ入出力回路PDPADの他、図示しないけれども、アドレス入力回路ボンディングパッド列からなる入出力インターフェイス回路及び界囲回路や降圧回路を含む電源回路等が設けられる。

【0057】これら中央部分104の両側とメモリセルアレイが接する部分には、メインアンプ(MA)105、メモリアレイ制御回路(Array Control)101、メインワードドライバ(MWD)102等が配置される。上記メモリアレイ制御回路101は、サブワード選択線やセンサアンプを駆動するための制御回路からなる。上述のように半導体チャップ1の長手方向に対して左右に2個、上下に2個ずつに分けられた4個からなる各メモリセルアレイにおいて、長手方向に対して上下中央部にカラムデコーダ領域(YDC)103が設けられる。

【0058】上述のよう各メモリセルアレイにおいて、メインワードドライバ102は、それに対応した4つのメモリアレイ領域(以下、単にメモリアレイという)を貫通するように延長されるメインワード線の選択信号を形成する。上記メインワードドライバ領域102にサブワード選択用のサブワード選択線のドライバも設けられ、上記メインワード線と平行に延長されてサブワード選択線の選択信号を形成する。カラムデコーダ103は、それに対応した32のメモリアレイを貫通するように延長されるカラム選択線の選択信号を形成する。

【0059】上記各メモリセルアレイは、複数からなる上記メモリアレイに分割される。ワード線方向には4個、ピット線方向には32個（参照電位用のダミーアレイを除く）が設けられる。メモリアレイは、センスアンプ領域、サブワードドライバ領域に囲まれて形成される。上記センスアンプ領域と、上記サブワードドライバ領域の交差部は、交差領域（クロスエリア）とされる。上記センスアンプ領域に設けられるセンスアンプは、CMOS構成のラッパ回路により構成される。特に制限されないが、この実施例のメモリアレイは、センスアンプを中心にして左右に延長される相補ビット線の信号を増幅するという、いわゆる1点式方式又はオーバンピットライン型とされる。

【0060】1つのメモリアレイにおいて、参照電位用の端メモリマットを除いてビット線が1024本設けられるので、ワード線方向には約4K分のメモリセルが接続され、サブワード線が512本設けられるので、ピット線方向には $512 \times 32 = 16\text{ K}$ 分のメモリセルが接続される。これにより、1つのメモリセルアレイ（メモリバンク）には、 $4\text{ K} \times 16\text{ K} = 64\text{ M}$ ビットのような記憶容量を持ち、4つのメモリアレイ（メモリバンク）によりメモリチップの全体では $4 \times 64\text{ M} = 256\text{ M}$ ビットのような記憶容量を持つようにされる。

【0061】メモリセルアレイのワード線方向の両側に、サブアンプ（SubAmp）が設けられる。このサブアンプに対応して、メイン入出力線MIOがサブアンプと上記メモリセルアレイの外側に平行して延長される。上記メイン入出力線MIOのうち、半導体チップの長手方向に外周に沿って設けられる8ビット分のメイン入出力線MIOを上記メモリセルアレイのワード線方向に並ぶ4つのメモリアレイ（メモリマット）を横断して延長するよう配置される配線は、各メモリセルアレイの2つのメモリブロックのそれぞれにおいて、半導体チップの中央寄りに最も近い1つのメモリマットに前記8ビット分の信号線が集中して配線される。

【0062】つまり、メモリバンクBANK0を例にして説明すると、前記のように2つのメモリブロックのうち、半導体チップの外側に位置するメモリブロックを構成するピット線方向に並べられた16個の正規アレイのうち、最も半導体チップの内側、つまりは当該メモリバンクBANK0のピット線方向のほぼ中央寄りに設けられたメモリアレイをワード線方向に横断するよう上記配線が配置される。このような信号線の集中配置に対応して、集中的に8ビット分のメインアンプ（ライトアンプも含む）MAが配置される。

【0063】同様に、上記メモリセルアレイのワード線方向のメモリセルアレイの内側に設けられる残り8ビット分のメイン入出力線MIOに接続される配線も、集中的に設けられる。これに対応して残り8ビット分に対応したメインアンプMAが設けられる。したがって、上記

メモリバンクBANK0の前記のように2つのメモリブロックのうち、半導体チップの外側に位置するメモリブロックに対応した16個のメインアンプが2つのメモリブロックのほぼ境界部に集中して設けられることになる。

【0064】上記メモリバンクBANK0の他方のメモリブロック、つまりは半導体チップの内側に位置するメモリブロックにおいては、上記メモリセルアレイのワード線方向のメモリセルアレイの外側に設けられる8ビット分のメイン入出力線MIOは、メモリビット線方向に並べられた16個の正規アレイのうち最も半導体チップの内側、つまりは当該メモリバンクBANK0のピット線方向の中央寄りの端に設けられたメモリアレイを集中的にワード線方向に横断するように配線によって8ビット分のメインアンプMAに導かれる。同様に、上記メモリセルアレイのワード線方向のメモリセルアレイの内側に設けられる残り8ビット分のメイン入出力線MIOに接続される配線もそれと隣接するように集中的に設けられ、残り8ビット分に対応したメインアンプMAと接続される。

【0065】上記の構成は、他のメモリバンクBANK1ないし3においても同様である。このような4つのメモリバンクBANK0～3の前記16個ずつのメインアンプMAは、グローバル入出力線GIOを通して共通に接続され、16ビットのデータ入出力端子DQPADに対応したデータ入出力回路に接続される。このような各メモリバンク（メモリセルアレイ）BANK0～3におけるメインアンプMAの集中配置によって、上記グローバル入出力線GIOの長さを半導体チップの真手方向の約半分に短くすることができる。このようなメインアンプMAの配置、あるいはそれとメイン入出力線MIOとの接続を行なう配線の工夫によって、上記グローバル入出力線GIOでの信号伝達時間が短くなり、動作の高速化が可能になるものである。

【0066】このようにメインアンプMAを集中して配置した場合、それに制御回路106から動作タイミング（クロック）を供給する場合、同図に点線で示した各クロック配線は、前記と同様に同じクロックを複数に分け、複数からなるクロック配線を並列に設けることによるクロックの高速伝達技術を利用することができる。例えば、16個のメインアンプMAは、例えば4個ずつ4組に分けて構成され、それぞれに1本のクロック配線を割り当てることにより4本のクロック配線を並行して延長させることができる。同図には、このような4本等のよう複数からなるクロック配線が、1本の点線で示されている。

【0067】このようなクロック配線を並列に複数個を設ける構成によって、クロック回路106とメインアンプMAとの間でのクロックの高速伝達が可能となる。また、同図では、省略されているが、制御回路106から

入出力回路 Q D P A D に向て、クロックを供給する場合も、同じクロックを複数に分けて上記少なくとも 2 本のクロック線を並行に延長させることによって同様にクロック信号の伝達遅延を小さくすることができます。

【0068】図9には、本発明に係る半導体集積回路装置の他の一実施例の全体の回路ブロック図が示されている。この実施例の半導体集積回路装置 C H I P は、図示のような複数の回路ブロック、すなわち入出力回路 I / O 、基板バスアス制御回路 V B B C 、制御回路 U L C 、リードオンリメモリ ROM 、 D / A 変換器 DAC 、 A / D 変換器 ADC 、割り込み制御回路 I V C 、クロック発生回路 C G などを有するシステムパワーマネジメント回路 S P M C 、中央処理部 C P U 、スタティックメモリ S R A M 、 DMA コントローラ D M A C 、ダイナミック型メモリ DRAM を含む。

【0069】それらの回路ブロックは、内部バス B U S 、制御バス C B U S に結合されている。それらは半導体集積回路装置を構成すべき回路装置に半導体基板に搭載される。上記システムパワーマネジメント回路 S P M C は、システム L S I に搭載される各モジュールにおいて、消費される電力を制御する機能を有する。

【0070】半導体集積回路装置は、入出力回路 I / O につながる入出力外部端子 T i o ないし T i o n と、負論理レベルのよるナリセット信号 r e s b が供給される外部端子 T 1 と、制御用外部端子 T 2 と、第1動作制御信号 c m 1 が供給される第1動作制御用外部端子 T 3 と、第2動作制御信号 c m 2 が供給される第2動作制御用外部端子 T 4 と、外部クロック信号 c l k が供給されるクロック用外部端子 T 5 と、複数の電源電圧 (v d d , v c c d r , v s s) が供給される複数の電源用外部端子 T 6 、 T 7 、 T 8 とを持つ。

【0071】特に制限されないが、電源電圧 v d d は、内部回路ブロックの動作のための電源電圧とされ、 1 . 8 ボルト土 0 . 15 ボルトのよるな値を取る。電源電圧 v c c d r は、半導体集積回路装置に要求される入出力レベルに応じて、主として入出力回路 I / O のために設定される電源電圧であり、 3 . 3 ボルト土 0 . 3 ボルト、 2 . 5 ボルト土 0 . 25 ボルト、及び 1 . 8 ボルト土 0 . 15 ボルトのよるな値のうちの一つを取るようにされる。電位 v s s は、いわゆるアース電位と称されるような回路の基準電位である。

【0072】図示の半導体集積回路装置は、いわゆる A S I C (アソシエーション・スペシファイド・インテグレーテッド・サーキッツ) すなわち特定用途 I C を構成するようにされる。すなわち、図示のほんどの回路ブロックは、 A S I C 構成を容易ならしめるように、それぞれ独立した回路機能単位としてのいわゆるモジュールないしはマクロセルをなすようになれる。各機能単位は、それぞれその規格、構成が変更可能にされる。 A S

I C としては、図示の回路ブロックの内、実現すべき電子システムが必要としない回路ブロックは、半導体基板上に搭載しないようにすることができる。逆に、図示されていない機能単位の回路ブロックを追加することもできる。

【0073】半導体集積回路装置は、特に制限されないが、 1 . 8 ボルト土 0 . 15 ボルトのよるな低電源電圧 v d d の基で十分な動作特性を示すよう、低電源電圧可能な C M O S 構造の半導体集積回路装置とされる。

【0074】半導体集積回路装置に搭載されるダイナミック型メモリは、上記電源電圧 v d d によって動作されても良い。しかし、この実施例の半導体集積回路装置には、ダイナミック型メモリのために、上記電源電圧 v d d とともに、上記電源電圧 v d d によって動作される電圧発生回路から発生される高電源電圧も利用される。ダイナミック型メモリにおいては、ダイナミック型メモリセルを選択するロウデータのようない回路はかかる高電源電圧にて動作され、半導体集積回路装置の内部バス B U S との間に信号を出入力するような回路は低電源電圧 v d d のよるな電源電圧によって動作される。この構成は、ダイナミック型メモリセルに与えられる情報としての電荷量を増大させる。これにより、ダイナミック型メモリの情報保持時間特性をより良好にする。

【0075】中央処理部 C P U は、特に制限されないが、いわゆるマイクロプロセッサと同様に構成にされる。すなわち中央処理部 C P U は、その詳細を図示しないけれども、その内部に命令レジスタ、命令レジスタに書込まれた命令をデコードし、各種のマイクロ命令ないしは制御信号を形成するマイクロ命令 ROM 、演算回路、汎用レジスタ (R G 6 等) 、内部バス B U S に結合するバスドライバ、バスレシーバなどの入出力回路を持つ。

【0076】中央処理部 C P U は、リードオンリメモリ ROM などに格納されている命令を読み出し、その命令に対応する動作を行う。中央処理装置 C P U は、入出力回路 I / O を介して入力される外部データの取り込み、制御回路 U L C に対するデータの出力、リードオンリメモリ ROM からの命令や命令実行のために必要となる固定データのよるなデータの読み出し、 D / A 変換器 D A C への D / A 変換すべきデータの供給、 A / D 変換器によって A / D 変換されたデータの読み出し、スタティック型メモリ S R A M 、ダイナミック型メモリ DRAM へのデータの読み出し、書き込み、 DMA コントローラ D M A C の動作制御等を行。制御バス C B U S は、中央処理部 C P U による図示の回路ブロックの動作制御のために利用され、また DMA コントローラ D M A C などの回路ブロックからの状態指示信号を中央処理部 C P U に伝えるために使用される。

【0077】中央処理部 C P U は、また割り込み制御回路 I V C における指示レジスタ R G 5 などにセットされ

た動作制御信号を内部バスBUSを介して参照し、必要な処理を行う。外部動作制御信号に応じて指示される動作、モードの詳細は、後で図6の論理回路CLC及び図7の機能態様図に基づいて詳細に説明する。

【0078】中央処理部CPUは、クロック発生回路CGCから発生されるシステムクロック信号C2を受けそのシステムクロック信号C2によって決められる動作タイミング、周期をもって動作される。

【0079】中央処理部CPUは、その内部の主要部が、CMOS回路、すなわちpMOSとnMOSとからなる回路から構成される。特に制限されないが、中央処理部CPUを構成するCMOS回路は、図示しないCMOSスタック論理回路、CMOSスタックフリップフロップのようなスタティック動作可能なCMOSスタック回路と、信号出力ノードへの電荷のアリチャージと信号出力ノードへの信号出力をシステムクロック信号C2に同期して行うようなCMOSダイナミック回路とを含む。

【0080】中央処理部CPUは、クロック発生回路CGCからのシステムクロック信号C2の供給が停止されたなら、それに応じて動作停止状態にされる。停止状態において、ダイナミック回路の出力信号は、回路に生じる不所望なリーケ電流によって不所望に変化されてしまう。スタックフリップフロップ回路構成のレジスタ回路のような回路は、システムクロック信号の非供給期間であっても、以前のデータを保持する。

【0081】システムクロック信号C2の非供給期間においては、中央処理部CPUの内部のスタック回路における各種ノードでの信号レベル遷移が停止され、またダイナミック回路での出力ノードでのデスマーチャージないしアリチャージが停止される。この状態では、動作状態のCMOS回路が消費する動作電流のよう比較的大きい消費電流、すなわち各種ノード及びそれぞれにつながる配線が持つ浮遊容量、寄生容量へ信号変位を与えるように電源線から与えられるチャージ、ディスマーチャージ電流は、実質的にゼロとなる。このことから中央処理部CPUは、CMOS回路のリーク電流に等しいような小さい電流しか流れず、低消費電力状態となる。

【0082】割り込み制御回路IVCは、外部端子T1に負論理レベルのようないしセット信号を受け、外部端子T3を介して第1動作信号cmqを受け、外部端子T4を介して第2動作制御信号cpmqを受け、また、外部端子T2に、半導体集積回路装置の動作状態を指示する状態指示信号を出力する。割り込み制御回路IVCは、かかるリセット信号resb、動作制御信号cmq、cpmq及び状態指示信号に対応してそれぞれの位置のピットが設定されるようなレジスタRG5を持つ。状態指示信号のより詳しい態様は後で図6に基いて説明する。

【0083】レジスタRG5における状態指示信号は、内部バスBUSを介して中央処理部CPUによって更新

される。外部端子T3、T4を介してレジスタRG5にセットされた動作制御信号cmq、cpmqは、前述のように、内部バスBUSを介し中央処理部CPUによって参照される。

【0084】特に制限されないが、割り込み制御回路IVCは、その内部にダイナミック型メモリのリフレッシュ動作のための図示しないリフレッシュアドレスカウンタを持つ。割り込み制御回路IVCにおけるかかるリフレッシュアドレスカウンタは、第1、第2動作制御信号cmq、cpmqによって第1及び第3モードが指示されているなら、すなわち半導体集積回路装置に対して動作モードか、動作スタンバイモードが指示されているなら、クロック発生回路CGCからのシステムクロック信号に基づいて歩進され、周同期に更新されるリフレッシュアドレス情報を形成する。

【0085】クロック発生回路CGCは、外部端子T5を介して外部クロック信号clkを受け、その外部クロック信号clkに対応した周同期のシステムクロック信号C2を形成する。なお、図1では、クロック発生回路CGCと中央制御部CPUとの間の信号線が単純化されて表現されているけれども、システムクロック信号C2は、中央制御部CPU内の図示しない回路の順序立った動作のために、一般的なプロセッサに対するクロック信号と同様に、多相信号からなると理解されたい。

【0086】クロック発生回路CGCによるシステムクロック信号C2の発生は、割り込み制御回路IVCからの第1及び第2動作制御信号cmq、cpmqに応答するモード信号MODE2やイニシャル動作指示信号INTL(図6参照)のような制御信号C1及び中央処理部CPUからの制御信号C3によって制御される。動作制御信号cmqによって完全スタンバイ動作が指示されたなら、中央処理部CPUによって、スタティック的に保持すべきデータのスタティック型メモリSRAMへの書き込み処理動作を含むような、完全スタンバイ動作へ移行するための必要な処理動作が行われ、次いで、中央処理部CPUからクロック発生回路CGCへシステムクロック発生動作停止のための制御信号C3が発生される。

【0087】動作制御信号cpmqによって動作スタンバイ動作が指示された場合は上記完全スタンバイ動作と同様に、中央処理部CPUによって、スタティック的に保持すべきデータのスタティック型メモリSRAMへの書き込み処理動作を含むような、動作スタンバイ動作へ移行するための必要な処理動作が行われる。この場合のその後の動作は、上記完全スタンバイ動作の場合とは異なる。中央処理部CPUからクロック発生回路CGCへシステムクロック信号の選択的出力のための制御信号C3が発生される。

【0088】すなわち、クロック発生回路CGCから割り込み制御回路IVC及びダイナミック型メモリDRA Mへのシステムクロック信号の供給は継続され、それ以外

の回路ブロックへのシステムクロック信号の供給は停止される。動作制御信号c m q、c p m qが回路の動作を指示する状態に変化されたなら、それに応じる割り込み制御回路1VCからの制御信号C 1によって、クロック発生回路CGCは、外部クロック信号c l kに応じるシステムクロック信号C 2を発生するように制御される。【0089】入出力回路I/Oは、外部端子T i o 1ないしT i o nの内の所望の外部端子を介して外部から供給される信号を受け、また外部端子T i o 1ないしT i o nの内の所望の端子に出力すべき信号を内部バスBUSを介して受ける。入出力回路I/Oは、その内部にそれがCMOS Xタケック回路からなるような制御レジスタRG4と図示しないデータレジスタを持つ。

【0090】制御レジスタRG4は、中央処理部CPUによって選択され、かつ中央処理部CPUによって、当該入出力回路I/Oのための制御データ、例えば、データ入力/出力指示や高出力ainピーベンス状態指示などの制御データが与えられる。データレジスタは、外部端子T i o 1ないしT i o nと、内部バスBUSとの間のデータの転送のために利用される。外部端子T i o 1ないしT i o nにビット幅すなわち端子数と、内部バスBUSのビット幅が256ビットのような比較的大きい数であるような場合、64ビット単位をもって外部端子T i o 1ないしT i o nに次々に供給される直列データは、中央処理部CPUによる動作制御に従ってビット数交換を行う。

【0091】例えば外部端子T i o 1ないしT i o nの個数が64のような数であるのに対し、内部バスBUSのビット幅が256ビットのような比較的大きい数であるような場合、64ビット単位をもって外部端子T i o 1ないしT i o nに次々に供給される直列データは、中央処理部CPUによる並列一並列データ変換制御によってデータレジスタに順次に供給され、256ビットのデータに変換される。逆に、内部バスBUSからデータレジスタにセットされた256ビットのデータは、中央処理部CPUによる並列一並列データ変換制御によって、64ビット毎に分けられて外部端子T i o 1ないしT i o nに順次に供給される。

【0092】入出力回路I/Oの信号入力のための回路及び信号出力のための回路は、その入力及び出力動作がシステムクロック信号によって制御されるようになれる。それ故に、入出力回路I/Oは、システムクロック信号が供給されなくなった時には、上記中央処理部CPUと同様に低消費電力状態にされることになる。

【0093】制御回路ULCは、電子システムの必要に応じて適宜に設けられる制御回路である。この制御回路ULCとしては、例えば、ハードディスク装置におけるモータサーボコントロール、ヘッドのトラッキング制御、誤り訂正処理や、画像、音声処理における画像や音声データの圧縮伸長処理のような実現すべき電子システムに応じて適宜に設けられる。制御回路のUL

Cは、中央処理部CPUと同様にその動作がシステムクロック信号によって制御される。

【0094】リードオンリメモリROMは、前述のように、中央処理装置CPUによって読み出され実効されるべき命令、固定データを記憶する。

【0095】D/A変換器DACは、内部バスBUSを介して供給されるところのアナログ信号に変換すべきデジタルデータを受けるレジスタRG2を持ち、かかるデジタルデータに基づいてアナログ信号を形成する。レジスタRG2は、制御回路ULCもしくは中央処理部CPUによってデジタルデータがセットされる。D/A変換器DACのD/A変換開始タイミング、D/A変換結果の出力タイミングのようなD/A変換動作は、システムクロック信号によって制御される。D/A変換器DACによって形成されたアナログ信号は、特に制限されないが、内部バスBUS及び入出力回路I/Oを介して外部端子T i o 1ないしT i o nの所望の端子に供給される。尚、ここでは上記外部端子T i o 1ないしT i o nを入出力兼用端子(ピン)としているが、入力用端子と出力用端子に分離して設けてよい。

【0096】D/A変換器DACは、その詳細を図示しないけれども、高精度DA変換が必要とされる場合は、得るべきアナログ量の基準とするような基準電圧源もしくは基準電流源を持つようにされる。かかる基準電圧源もしくは基準電流源は、一種のアナログ回路を構成するとみなされ、第2モード及び第3モード、すなわち完全スタンバイモード、及び動作スタンバイにおいて無損し得ない電流を消費してしまう危険性を持つ。それ故にそのような場合の消費電流の低減を可能にするよう、かかる基準電圧源もしくは基準電流源に対しては、上記第2モード、第3モードにおいて、スイッチオフするようなMOSFETスイッチを設定される。

【0097】A/D変換器ADCは、外部端子T i o 1ないしT i o nのうちの所望の端子と入出力回路I/Oと内部バスBUSを介して供給されるようなアナログ信号を受け、制御回路ULCもしくは中央処理部CPUによってそのA/D変換の開始が制御され、システムクロック信号C 2に従うようなクロック制御のことで上記アナログ信号をデジタル信号に変換し、得られたデジタル信号をレジスタRG1にセットする。

【0098】A/D変換器ADCもまた、上記D/A変換器DACと同様に、高精度A/D変換が必要とされる場合は、デジタル変換すべき量子化レベルの基準とされるような基準電圧源もしくは基準電流源を持つようにされる。A/D変換器ADCにおけるかかる基準電圧源もしくは基準電流源もまた完全スタンバイモード、及び動作スタンバイモードにおいて無損し得ない電流を消費する危険性を持つ。それ故にその場合には、上記同様なMOSFETスイッチが、かかる基準電圧源もしくは基準電流源に適用される。

【0099】スタティック型メモリSRAMは、そのメモリセルとして、その詳細は図示しないが、CMOSスタティック型メモリセル、すなわちCMOSラッチ回路とそれに対するデータ入出力のための一対の伝送データMOSFETとからなるような構成のメモリセルを持つ。CMOSスタティック型メモリセルは、スタティックに情報を持続し、かつ情報保持のために、著しく小さい動作電流しか必要しないという特徴を持つ。

【0100】かかるスタティック型メモリSRAMは、実質上は、CMOSスタティック型ランダム・アクセス・メモリを構成するようにされる。すなわち、スタティック型メモリSRAMは、マトリクス配置の複数のCMOSスタティック型メモリセルからなるメモリアレイと、内部バスBUSを介して供給されるようなロウアドレス信号をデコードしそれによってメモリアレイにおけるワード線を選択するロウアドレス・デコード・ドライバ回路と、カラムアドレス信号をデコードしそれによってカラム・デコード信号を形成するカラム系アドレスデコード回路と、かかるカラム・デコード信号によって動作されメモリアレイにおけるデータ線を選択しそれを共通データ線上に結合させるカラムスイッチ回路と、共通データ線に結合された入出力回路と、読み出し書き込み制御回路とを含む構成となる。

【0101】メモリアレイに関連するかかるアドレス・デコード・ドライバ回路のような回路すなわちメモリアレイ周辺回路は、CMOSスタティック回路から構成される。それ故に、スタティック型メモリセルSRAMは、読み出し、書込み動作が行われない情報保持動作のみだけなら、比較的低消費電力状態に置かれるとなる。なお、CMOSスタティック型メモリは、メモリセルサイズが比較的大きくなり、その記憶容量に対する全体のサイズが比較的大きくなってしまうという考慮すべき特徴を持ち、大きな記憶容量にすることが比較的困難である。

【0102】DMAコントローラ、すなわちダイレクト・メモリ・アクセス・コントローラDMACは、中央処理部CPUによってその動作が制御され、中央処理部CPUによって指示された回路ブロック間の内部バスBUSを介するデータ転送を、中央処理部CPUになり代わって制御する。DMAコントローラDMACの詳細は、独立の半導体集積回路装置として構成されるDMAコントローラと実質的に同じ構成にして得るので更に詳細な説明は行わないが、その内部のレジスタRG7等に、中央処理部CPUによってセットされる転送元情報、転送先情報、データ転送量情報等の設定情報を基づいて、データ転送制御を行う。

【0103】ダイナミック型メモリDRAMは、そのメモリセルすなわちダイナミック型メモリセルが、典型的には、電荷の形態をもつて情報を蓄積する情報蓄積用キャパシタと、選択用MOSFETとからなるような少な

い数の素子からなり、比較的小さいメモリセルサイズにされ得る。それ故に、ダイナミック型メモリは、大記憶容量であってもその全体のサイズを比較的小さくすることができます。

【0104】ダイナミック型メモリDRAMは、それがその記憶容量にかかわらずに比較的小さいサイズをもって構成されるから、他の回路ブロックとを搭載する半導体基板は、比較的小さいサイズにされ得る。これに応じた利点も期待できる。すなわち、半導体基板のサイズは、得るべき半導体集積回路装置の電気的性能、熱的、機械的ストレスに関係するような信頼性、製造歩留まり、価格等々にも影響を及ぼすものであり、小さい方が有利で有る。比較的小さいサイズの半導体基板に大容量のメモリとともに複数の回路ブロックを搭載可能となることによって、更に優れた性能の電子システムを実現を可能とする半導体集積回路装置を提供することができるようになる。

【0105】上に説明したような構成の半導体集積回路装置は、外部端子T3に供給される第1動作制御信号c mqによって完全スタンバイ動作が指示されたなら、クロック発生回路CGCの動作停止によってシステムクロック信号C2が発生されなくなること、及びまた全体として低消費電力状態にされることになる。

【0106】また、外部端子T4供給される第2動作制御信号c p m qによって動作スタンバイ動作が指示されたなら、クロック発生回路CGCの出力の選択的出力によって、ダイナミック型メモリのリフレッシュ動作に関係する回路部分が動作状態に置かれるが、図示の多くの回路ブロックが非活性状態に置かれることになる。それ故に、半導体集積回路装置は、比較的低い消費電力状態に置かれる。

【0107】この実施例では、低電源電圧動作可能なCMOS半導体集積回路装置を好適に制御可能とするため、基板バイアス制御回路V BBCが設けられる。基板バイアス制御回路V BBCは、半導体集積回路装置に供給される外部電源電圧によって動作されるチャージポンプ回路と整流回路とからなるような電圧発生回路を含み、それ自体で外部電源電圧範囲を超える正及び負のバイアス電圧を形成するとともに、基板バイアス制御信号をも形成するようになる。

【0108】基板バイアス制御回路V BBCは、図示の他の回路ブロックがそれぞれモジュールないしは機能単位を構成するように構成されると同様に、それ自体で実質上の一つの回路ブロックを構成するようになる。

【0109】半導体集積回路装置は、該基板バイアス制御回路V BBCにつながり、各回路ブロックにつながる配線VL & CLが設けられる。上記の配線VL & CLは、各種の基板バイアス電位を各回路ブロックを構成するMOSFET(絶縁ゲート電界効果トランジスタ)の基板へ供給するための接数の電源線と、各回路ブロック

のモード設定のための各種制御信号を配信するための信号線を含む。

【0110】上記記述VL&CLのうち、クロック発生回路C G CからCPUに伝えられるようなクロックC 2、割り込み制御回路に伝えられるクロックC 1を含んで、各機能ブロックの動作に必要なクロックを伝達させるクロック配線は、前記実施例のように論理的に同一周波数、同位相であるクロックを割り合わせて設計される。異なる周波数や位相で動作するクロックが複数ある場合、周波数／位相の同じクロックが割り合うようにグループ化して配線される。配線の長さ、使用的なメタル層が統一される。他の配線のクロック線への影響を小さくすため、同じタイミングで変換するダミー配線が割り合うようレイアウトされ、あるいはグループ化したクロック配線と他の配線のベースを広げるようになれる。

【0111】上記の実施例から得られる作用効果は、下記の通りである。

(1) クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至までのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路を設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設けることにより、クロックの高速伝達を実現することができるという効果が得られる。

【0112】(2) 上記に加えて、上記論理ブロックを複数の機能ブロックで構成し、上記クロック供給回路を上記複数の機能ブロックに対して共通に用い、上記少なくとも2つの配線経路を上記複数の機能ブロックのうち半導体基板上に接続して配線される少なくとも2つの機能ブロックに対して並行して延長される部分を設けことにより、少ない重複数及びクロック駆動回路によりクロックの高速伝達が可能になるという効果が得られる。

【0113】(3) 上記に加えて、上記少なくとも2つの配線経路の伝達経路の配線長さの差が小さくなるようにいすゞか1以上に迂回経路を持たせることにより、クロックスキューを低減させることができるという効果が得られる。

【0114】(4) 上記に加えて、上記論理ブロックを複数の機能ブロックで構成し、上記複数の機能ブロックのそれぞれが所望の信号処理能力を持つようになると、上記クロック供給回路から上記複数の機能ブロックのそれぞれに対して並行に延長される少なくとも2つの配線経路を設けることにより、クロックの高速伝達が可能になるという効果が得られる。

【0115】(5) 上記に加えて、上記クロック供給回路より第1クロックと、それに対して周波数が $1/N$

に分周された第2クロックとを形成し、上記クロック供給回路から複数の第1論理ブロックに至るまでの第1クロック配線経路として並行に延長される部分を含む少なくとも2つの配線経路を設け、上記クロック供給回路から上記複数の第2論理ブロックに至るまでの第2クロック配線経路として並行に延長される部分を含む少なくとも2つの配線経路を設けることにより、上記複数の第1論理ブロック及び第2論理ブロックのそれぞれにおいてクロックの高速伝達が可能となり、第1論理ブロックと第2論理ブロック間のデータ授受のタイミングマージンを大きくすることができるという効果が得られる。

【0116】(6) 上記に加えて、上記クロック供給回路により、第1クロックとそれに対して周波数が $1/N$ に分周された第2クロックを形成し、第1クロックと第2クロックとをそれぞれに対して並行に延長される少なくとも2つの配線経路を設けることにより、クロックの高速伝達が可能になり、第1論理ブロックと第2論理ブロック間のデータ授受のタイミングマージンをいっそう大きくすることができるという効果が得られる。

【0117】(7) 上記に加えて、上記第1クロックを伝える第1配線と上記第2クロックを伝える第2配線とを並行して延長し、上記第1クロックの第1配線と第2配線の間には、上記第1及び第2配線に対して第3と第4配線を並行して延長し、上記第1配線に接続した第3配線には上記第1クロックを伝え、上記第2配線に接続した第4配線には上記第2クロックを伝えることにより、第1クロックと第2クロック間での相互干渉が低減されてクロックの高速伝達が可能になるとともに、クロック配線を集中して配線させることができるという効果が得られる。

【0118】(8) 上記に加えて、上記機能ブロックを1つの半導体基板上に形成される1チップのマイクロコンピュータシステムを構成するものとし、それぞれが独立して動作可能とされる信号処理回路とすることにより、動作の高速化が可能になるとともに、クロック入力部でのクロック停止機能を簡単に付加することができるでの低消費電力化を図ることができるという効果が得られる。

【0119】(9) 上記に加えて、上記論理ブロックをゲートアレイで構成され一定のエリアに配置された論理ゲート群とするものとし、上記クロック供給回路を、半導体基板の中心部に設け、各論理ゲート群との間のクロック供給経路が互いに等長となるように配置することにより、論理ゲート群の高速化と論理ゲート群相互でのデータ授受のタイミングマージンを大きくすることができるという効果が得られる。

【0120】(10) 上記に加えて、複数ビットの單位で読み出し信号をクロックに対応して増幅する增幅回路を有するメモリ回路に適用し、上記クロック供給回路

により上記メモリ回路の増幅回路の動作に必要なクロック信号を供給するものとすることにより、メモリ回路の動作の高速化が可能になるという効果が得られる。

【0121】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいいうまでもない。例えば、前記論理ブロックは、マイクロコンピュータを構成する機能ブロック、ASICのような特定用途ICにおける機能ブロックあるいはマクロセル、ゲートアレイでの論理ゲート群及びメモリ回路での増幅回路等、クロックにより動作する回路を含む一定の大きさを持つ回路群であれば何であってもよい。

【0122】クロック供給回路は、前記1相のクロックであることの他、2相あるいは3相等のクロックであつてもよい。この場合、2相あるいは3相のクロックは、同一周波数でも同位相にはならないので同種類のクロックとは見做されず、これらのクロックを伝達するクロック配線はそれぞれ内蔵り合うようにグループ化して配線され、このようにグループ化したクロック配線相互の間にには、スペースを広げるようするか、あるいはシールドクロック配線が設けられる。この発明は、クロックにより動作する論理ブロックや増幅回路を含む各種半導体集積回路装置に広く利用することができる。

【0123】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。クロック供給回路で形成されたクロックを受け、動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設けることにより、クロックの高速伝達を実現することができると。

【図面の簡単な説明】

【図1】この発明に係る半導体集積回路装置におけるクロック系回路の一実施例を示すブロック図である。

【図2】この発明に係る半導体集積回路装置におけるクロック系回路の一実施例を示す配線配置図である。

【図3】この発明に係る半導体集積回路装置の一実施例を示すブロック図である。

【図4】この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図5】この発明に係る半導体集積回路装置に設けられるクロックパルスジェネレータの一実施例を示すブロック図である。

【図6】この発明に係るクロック駆動回路の他の一実施例を示す回路図である。

【図7】この発明が適用されるシングルチップマイクロコンピュータの一実施例を示すブロック図である。

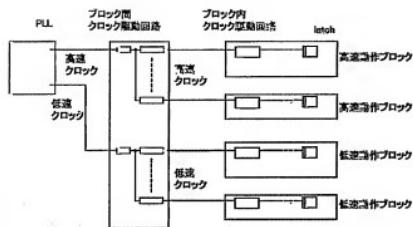
【図8】この発明が適用されたダイナミック型RAMの一実施例を示す全体概略レイアウト図である。

【図9】本発明に係る半導体集積回路装置の他の一実施例を示す全体の回路ブロック図である。

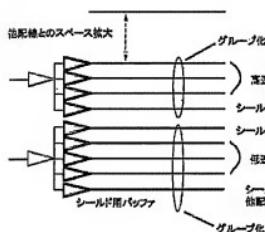
【符号の説明】

1…半導体チップ、2 a～2 c…高速動作回路ブロック、4 a～4 d…低速動作回路ブロック、5…CPG、6…ブロック間クロック駆動回路群、7…ブロック内クロック駆動回路、8 a…高遅クロック信号、8 b…低速クロック信号、9…グループ化、1 2…クロック入力ピン、1 3…マスクロックドライバ群、1 4…サブクロックドライバ群、1 5…グループ化、1 0…メモリチップ、1 0 1…アレイ制御回路、1 0 2…メインメモードライバ、1 0 3…カラムデコーダ、1 0 4…中央部分、1 0 5…メインアンプ、1 0 6…コントロール回路、CPU…中央処理装置、DMAC…直接メモリアクセス制御装置、MUL T…乘算器、AB 1、DB 1…第1バス、TGA…タグメモリ、C A C…キャッシュコントローラ、CDM…データメモリ、D I V U…除算器、I N T C…割り込み制御回路、U B C…ブレークコントローラ、AB 2、DB 2…第2バス、AB 3、DB 3…第3バス、S C I…シリアルコミュニケーションインターフェイス、F R T…フリーランニングタイマ、W D T…ウォッチドッグタイマ、MC…動作モードコントローラ、CPG…クロックパルスジェネレータ、B S C…バスステートコントローラ、C H I P…半導体集積回路装置、U L C…制御回路、V B B C…基板バイアス制御回路、I / O…入出力回路、R O M…リードオンリーメモリ、D A C…D / A変換器、A D C…A / D変換器、D R A M…ダイナミックメモリ、S R A M…静态メモリ、S P M C…システムパワーマネジメント回路、I V C…割込制御回路、C G C…クロック発生回路。

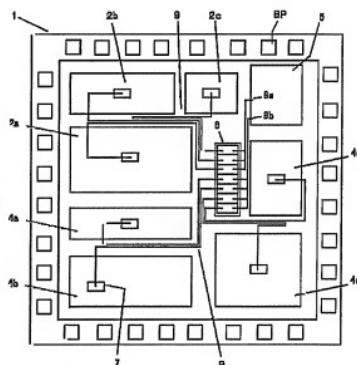
【図1】



【図2】

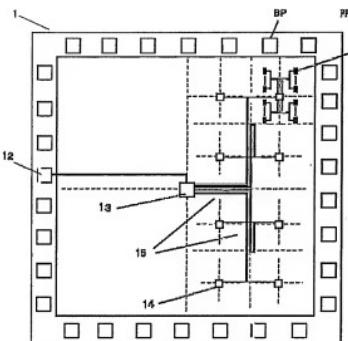


【図3】



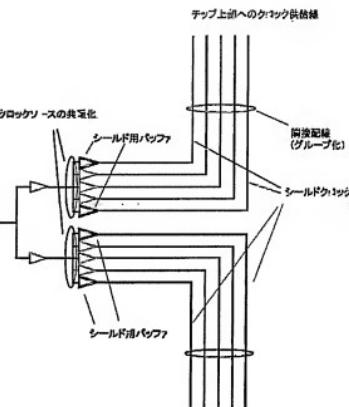
- 1: 半導体チップ
 2a～2c: 高速動作用回路ブロック (CPU, DSP, メモリ)
 4a～4d: 低速動作用回路ブロック (I/O, リード/ライト, シリアル, IrDA)
 6: ブロック間クロック経路回路
 7: ブロック内クロック駆動回路
 8a: 高速 クロック信号
 8b: 低速 クロック信号
 8c: ブロック間クロック駆動回路 (グループ化)

【图4】

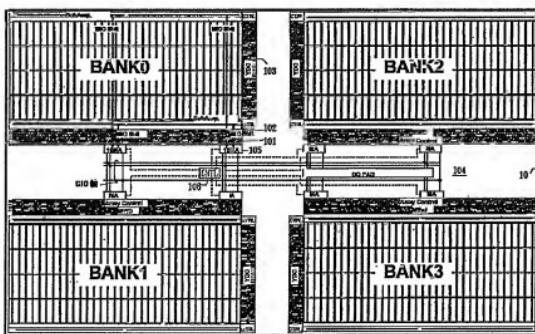


- 1: 半導体チップ
 - 12: クロック入力ピン
 - 13: マスタークロックドライバ群
 - 14: サブクロックドライバ群
 - 15: クロック信号配線(グループ化)

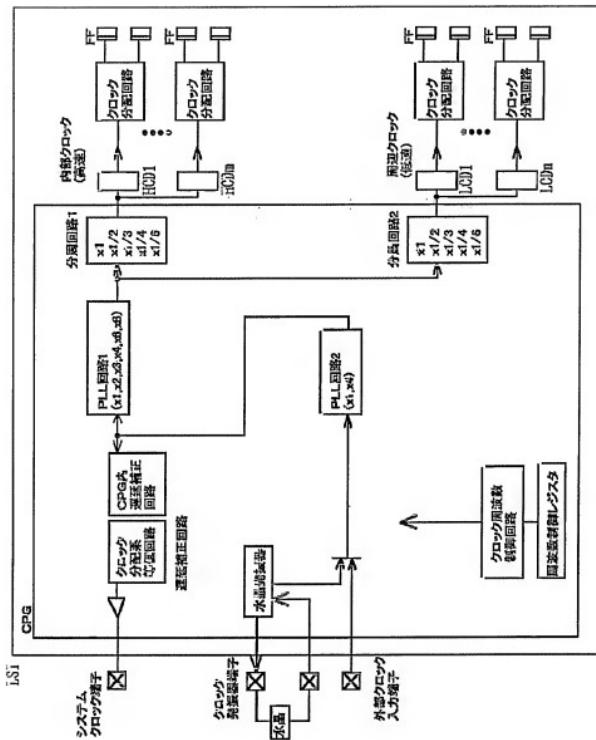
【图6】



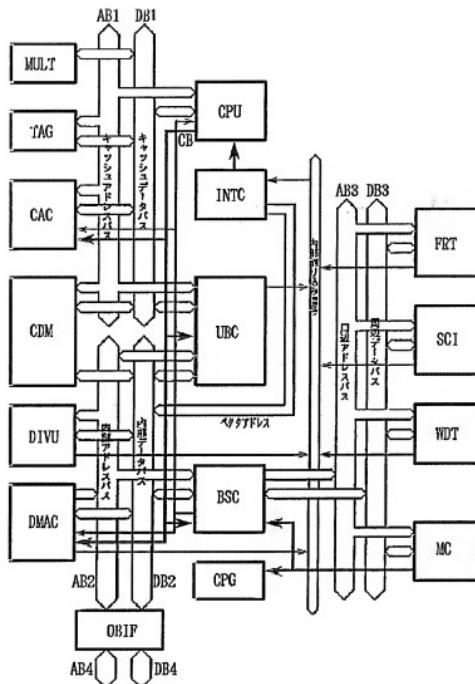
[図8]



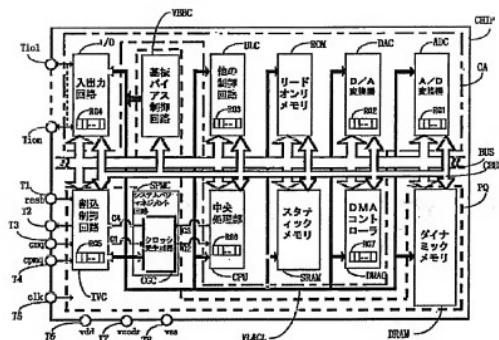
【図5】



【図7】



【図9】



フロントページの続き

(51) Int. Cl. 7 G 11 C 11/41 11/407 11/401 H 01 L 21/82	識別記号 G 11 C 11/34 H 01 L 21/82 27/04	F I G 11 C 11/34 H 01 L 21/82 27/04	(参考) 354C 5F064 362S 371K W U
---	---	--	--

(72)発明者 星 聰
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

F ターム(参考) 5B015 JJ21 KB84 NN03 PP02
5B024 AA15 BA21 CA07 CA21 CA27
5B062 AA03 CC01 HH01
5B079 BA20 BC03 CC04 CC14 DD08
DD13 DD20
5F038 AV06 BH10 BH19 CA03 CA04
CD06 CD07 CD08 CD09 DF08
DF11 EZ20
5F064 AA03 AA04 BB09 BB12 BB19
BB26 DD04 EE08 EE14 EE15
EE16 EE46 EE47 EE54